

**High-density wirebond chip interconnect for multi-chip modules**

Patent Number: ☐ US5723906  
Publication date: 1998-03-03  
Inventor(s): RUSH KENNETH (US)  
Applicant(s): HEWLETT PACKARD CO (US)  
Requested Patent: ☐ DE19714470  
Application Number: US19960657582 19960607  
Priority Number(s): US19960657582 19960607  
IPC Classification: H01L23/16; H01L27/10; H01L23/48; H01L23/055  
EC Classification: H01L21/60C4B, H01L25/065N  
Equivalents: ☐ GB2317743, ☐ JP10056036

---

**Abstract**

---

A multi-chip module including a multi-layer substrate and a patterned metallization layer formed on each layer of the substrate. A multi-tiered cavity is formed with an integrated circuit (IC) mounting surface at the bottom of the multi-tiered cavity. A plurality of ICs are mounted on the IC mounting surface of the cavity. A first set of wire bonds extends from at least one IC to the exposed portions of patterned metallization of at least two tiers of the multi-tiered cavity. A second set of wire bonds extends from the at least one IC to bond pads of an adjacent IC. A third set of wire bonds extends from the at least one IC to bond pads of the adjacent IC such that the third set of wire bonds has a higher loop height than the second set of wire bonds.

---

Data supplied from the esp@cenet database - I2

The first part of the paper discusses the importance of the study of the history of the United States. It is argued that the study of history is essential for a full understanding of the present. The second part of the paper discusses the importance of the study of the history of the United States. It is argued that the study of history is essential for a full understanding of the present. The third part of the paper discusses the importance of the study of the history of the United States. It is argued that the study of history is essential for a full understanding of the present.



DEUTSCHES

PATENTAMT

- ②① Aktenzeichen: 197 14 470.5  
②② Anmeldetag: 8. 4. 97  
②③ Offenlegungstag: 11. 12. 97

DE 197 14 470 A 1

## ③⑩ Unionspriorität:

657582 07.06.96 US

## ⑦① Anmelder:

Hewlett-Packard Co., Palo Alto, Calif., US

## ⑦④ Vertreter:

Schoppe, F., Dipl.-Ing.Univ., Pat.-Anw., 81479  
München

## ⑦② Erfinder:

Rush, Kenneth, Colorado Springs, Col., US

Prüfungsantrag gem. § 44 PatG ist gestellt

## ⑤④ Drahtbondchipverbindung mit hoher Dichte für Multichip-Module

- ⑤⑦ Ein Multichip-Modul umfaßt ein mehrschichtiges Substrat und eine strukturierte Metallisierungsschicht, die auf jeder Schicht des Substrats gebildet ist. Ein mehrlagiger Hohlraum ist gebildet, wobei sich eine Befestigungsoberfläche für integrierte Schaltungen am Boden des mehrlagigen Hohlraums befindet. Eine Mehrzahl von integrierten Schaltungen sind auf der IC-Befestigungsoberfläche des Hohlraums befestigt. Ein erster Satz von Drahtbondverbindungen erstreckt sich von zumindest einer integrierten Schaltung zu den freigelegten Abschnitten der strukturierten Metallisierung von zumindest zwei Lagen des mehrlagigen Hohlraums. Ein zweiter Satz von Drahtbondverbindungen erstreckt sich von der zumindest einen integrierten Schaltung zu Bondanschlußflächen einer benachbarten integrierten Schaltung. Ein dritter Satz von Drahtbondverbindungen erstreckt sich von der zumindest einen integrierten Schaltung zu Bondanschlußflächen der benachbarten integrierten Schaltung, derart, daß der dritte Satz von Drahtbondverbindungen eine höhere Schleifenhöhe als der zweite Satz von Drahtbondverbindungen hat.

DE 197 14 470 A 1

Die vorliegende Erfindung bezieht sich allgemein auf Multichip-Module und insbesondere auf Verbindungen zwischen Chips in einem Multichip-Modul mit hoher Dichte.

Mit Verbesserungen der integrierten Schaltungsprozeßtechnologie kann eine zunehmende Anzahl von Bauelementen und Funktionen auf einem einzigen Chip integriert werden. Dies erzeugt jedoch einen Bedarf nach dem Erhöhen der Anzahl von elektrischen Verbindungen mit der integrierten Schaltung. Heutzutage besteht das gebräuchlichste Verfahren des Herstellens der elektrischen Verbindung zwischen der integrierten Schaltung (IC) und dem Gehäuse durch Drahtbonden. Drahtbondverbindungen (oder "Drahtbonds") sind am Umfang des Chips bei einem minimalen Zwischenraum angeordnet, der durch die derzeitige Drahtbondausrüstung begrenzt ist. Elektrische Verbindungen, die innerhalb der IC hergestellt werden, können bei viel kleineren Geometrien hergestellt werden, als sie von der Drahtbondausrüstung unterstützt werden. Daher hielt die Anzahl von Drahtbondverbindungen, die an dem Chipumfang verfügbar sind, nicht mit der zunehmenden Nachfrage nach elektrischen Verbindungen, die durch die Verbesserungen der Halbleiterprozeßtechnik erzeugt werden, Schritt. Es besteht ein Bedarf nach Verbesserungen bei der Drahtbondtechnologie, die mit dem Bedarf nach elektrischen Verbindungen Schritt halten.

Vorgeschlagene Lösungen umfassen das Herstellen von größeren Chipumfängen, um eine größere Anzahl von Verbindungen zu unterstützen. Dies ist jedoch keine effiziente Verwendung des Siliziums und resultiert in erhöhten Kosten, die im allgemeinen unannehmbar sind. Weitere Vorschläge betreffen das Verwenden von Bondanschlußflächen, die über dem Körper der IC verteilt sind. Praktische Technologien zum Herstellen von zuverlässigen Verbindungen mit dem Chipinneren sind jedoch nicht gebräuchlich. Eine bestimmte Verbesserung wird erreicht, indem die Reihen der Bondanschlußflächen auf der IC gestaffelt werden. Drahtbondverbindungen können zwischen den zwei Reihen von Bondanschlußflächen mit nicht-planaren (d.h. Mehrebenen-) Bondanschlußflächen auf einem Trägersubstrat hergestellt werden. Dieses Verfahren der gestaffelten Bondanschlußflächen verdoppelt wirksam die Anzahl von Drahtbondverbindungen, die zwischen einem Chip und einem äußeren Gehäuse oder Leitungsrahmen hergestellt werden können.

Das Herstellen von Verbindungen zwischen integrierten Schaltungen ist ein besonderes Problem bei Multichip-Modulen, bei denen der Raum die Hauptsache ist, und bei denen der Bedarf nach elektrischen Verbindungen mit hoher Bandbreite zwischen den Chips groß ist. Dies ist besonders bei "skalierbaren" Technologien der Fall, die eine gesteigerte Leistung bieten, indem Arrays von integrierten Schaltungen des ähnlichen Typs bereitgestellt werden. Beispiele skalierbarer Technologien umfassen programmierbare Logikbauelemente, wie z. B. Speicher, programmierbare Gatearrays (PGAs), programmierbare Logikarrays (PLAs), Feldprogrammierbare Gatearrays (FPGAs) und dergleichen.

Bei Multichip-Entwürfen wird eine Mehrzahl von Chips auf einem gemeinsamen Substrat befestigt. Das Substrat weist eine gedruckte Verdrahtung und Bondanschlußflächen auf. Drahtbondverbindungen werden von jedem Chip zu einer Bondanschlußfläche auf dem

Substrat hergestellt. Die gedruckten Verdrahtungskannäle werden verwendet, um jede Drahtbondverbindung mit einer erwünschten Drahtbondverbindung auf einem anderen Chip zu verbinden. Herkömmliche Substratprozesse erzeugen jedoch Bondanschlußflächen bei einer viel geringeren Dichte, als sie auf der integrierten Schaltung gebildet werden kann. Daher ist die Chip-zu-Chip-Verdrahtungsdichte durch die Substrattechnologie begrenzt. Chips sind weiter voneinander beabstandet, um es zu ermöglichen, daß sich die Drahtbondverbindungen zu Bondanschlußflächen, die auf dem Substrat gebildet sind, auffächern können. Dies erhöht die Größe des gesamten Gehäuses und erhöht ferner die physische Länge jeder Verbindung, wodurch parasitäre Kapazitäten und Induktivitäten erhöht werden, die die Geschwindigkeit begrenzen, mit der Signale von einem Chip zu einem anderen Chip laufen können.

Bestimmte herkömmliche MCM-Bauelemente (MCM = Multi-Chip Module) sind mit Drahtbondverbindungen verfügbar, die direkt von einer Chipbondanschlußfläche zu einer benachbarten Chipbondanschlußfläche gebildet sind. Diese Entwürfe beseitigen die Auswirkungen dazwischenliegender Substratbondverbindungen. Bis jetzt war jedoch das direkte Chipzu-Chip-Bonden nicht in der Lage, die erhöhte Dichte von gestaffelten Bondanschlußflächen vorteilhaft auszunützen.

Weitere vorgeschlagene Lösungen vergrößern die Datenübertragungskapazität jedes Drahts. So schlagen beispielsweise G. Y. Yacoub u. a. in einem Artikel mit dem Titel "Self-Timed Simultaneous Bi-directional Signaling for IC Systems" (IEEE 1992) vor, daß drei Spannungspegel verwendet werden können, um eine bidirektionale Datenübertragung über einen einzigen Draht zu ermöglichen. Ein ähnlicher Lösungsansatz wird von Mooney u. a. in "A 900 Mb/s Bi-directional Signaling Scheme", erschienen in dem IEEE Journal of Solid-State Circuits, Band 30, Nr. 12 (Dezember 1995) erörtert. Diese Systeme erfordern eine Komponentenanpassung mit hoher Toleranz bei den integrierten Schaltungen und eine sorgfältige Anpassung von Widerständen zwischen benachbarten Chips, um eine ausreichende Rauschreserve zu den drei Spannungspegeln zu schaffen. Weitere vorgeschlagene Verfahren umfassen Zeitbereichs- oder Frequenzbereichs-Multiplextechniken, diese erhöhen jedoch die Komplexität des Systems.

Ein wesentlicher Faktor bei dem Erfolg und der Zuverlässigkeit jeder Drahtbondtechnologie mit hoher Dichte ist die Trennung zwischen Drähten. Integrierte Schaltungen arbeiten bei wesentlich erhöhten Temperaturen, die die Drahtbondverbindungen ausbreiten, was bewirken kann, daß zwei Drahtbondverbindungen kurzgeschlossen werden, wenn sie zu nahe aneinander angeordnet sind. Weitere Faktoren, die eine physische Belastung und Größe betreffen, die während der Herstellung, einem Test oder der Verwendung erzeugt werden, können Drahtbondverbindungen kurzschließen, es sei denn, daß eine ausreichende Trennung zwischen den Drähten gegeben ist. Die bekannten, oben erörterten Drahtbondtechnologien trennen die Drähte in einer Dimension durch Steuern des Zwischenraums der Bondanschlußflächen. Eine bekannte Drahtbondtechnologie mit hoher Dichte trennt die Drahtbondverbindungen in drei Dimensionen unter Verwendung mehrerer Reihen von gestaffelten Bondanschlußflächen, die mit einem mehrlagigen Substrat gekoppelt sind. Die dreidimensionale Trennung erforderte, daß das mehrlagige Substrat die dritte Trennungsdimension schafft. Daher ermöglichen diese bekannten Techniken kein Chip-zu-Chip-

durch der Nutzen eines mehrlagigen Substrats nicht vorhanden ist.

Diese bekannten Versuche, um die Anzahl von Drähten und die Datenkapazität von Drähten in einer integrierten Schaltung zu erhöhen, war nicht in der Lage, den Bedarf nach Drahtbondverbindungen mit hoher Dichte zu erfüllen, welche von derzeitigen integrierten Schaltungen gefordert werden. Es besteht ein Bedarf nach dem Erhöhen der Anzahl von Verbindungsdrähten, die mit einer integrierten Schaltung gekoppelt sind, und speziell mit integrierten Schaltungen in Multichip-Modulen, um größere Mengen von Daten zwischen Chips zu übertragen.

Die Aufgabe der vorliegenden Erfindung besteht darin, Multichip-Module zu schaffen, die eine große interne Datenübertragungskapazität aufweisen.

Diese Aufgabe wird durch ein Multichip-Modul gemäß Anspruch 1 oder 6 gelöst.

Kurz gesagt betrifft die vorliegende Erfindung ein Multichip-Modul, das ein mehrschichtiges Substrat und eine strukturierte Metallisationsschicht hat, die auf jeder Schicht des Substrats gebildet ist. Ein mehrlagiger Hohlraum ist gebildet, wobei sich eine Befestigungsoberfläche für integrierte Schaltungen (ICs) am Boden des mehrlagigen Hohlraums befindet. Eine Mehrzahl von ICs ist auf der IC-Befestigungsoberfläche des Hohlraums gebildet. Ein erster Satz von Drahtbondverbindungen erstreckt sich von zumindest einer IC zu den freigelegten Abschnitten einer strukturierten Metallisierung von zumindest zwei Lagen des mehrlagigen Hohlraums. Ein zweiter Satz von Drahtbondverbindungen erstreckt sich von der zumindest einen IC zu Bondanschlußflächen einer benachbarten IC. Ein dritter Satz von Drahtbondverbindungen erstreckt sich von der zumindest einen IC zu Bondanschlußflächen der benachbarten IC, derart, daß der dritte Satz von Drahtbondverbindungen eine höhere Schleifenhöhe als der zweite Satz von Drahtbondverbindungen hat.

Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend bezugnehmend auf die beiliegenden Zeichnungen detaillierter erläutert. Es zeigen:

Fig. 1 eine Draufsicht eines Abschnitts eines Multichip-Moduls gemäß der vorliegenden Erfindung;

Fig. 2 einen vergrößerten Abschnitt des Multichip-Moduls, das in Fig. 1 gezeigt ist; und

Fig. 3 einen vereinfachten Querschnitt durch einen Abschnitt eines Multichip-Moduls gemäß der vorliegenden Erfindung.

## 1. Überblick

Die vorliegende Erfindung betrifft eine Drahtbondtechnologie, die Drahtbondverbindungen mit ultrahoher Dichte zwischen zwei integrierten Schaltungen schafft. Obwohl die vorliegende Erfindung bezüglich ihrer Ausführung auf vorteilhafte Weise Druck-, Photolithographie- und Drahtbondausrüstungsverbesserungen verwendet, können die erfindungsgemäßen Konzepte auf jede Technologie angewendet werden, um die Drahtbondichte für diese Technologie zu verbessern. Daher werden die spezifischen Abmessungen, die Bondanschlußflächenzwischenräume, die Drahtgrößen und dergleichen lediglich beispielhaft und aus Verständnisgründen gegeben, und stellen keine Begrenzung der Lehren der vorliegenden Erfindung dar.

Die vorliegende Erfindung wird bei Multichip-Modu-

100, verwendet. MCMs erfordern eine hohe Drahtdichte, um Signale zwischen ICs 101 zu koppeln, die auf einem gemeinsamen Substrat befestigt sind, das mehrere Schichten 102A—102E aufweist (zusätzlich zu den Schichten 102F—102J, die in Fig. 3 gezeigt sind). Es sollte offensichtlich sein, daß jede Anzahl von Schichten verwendet werden kann, um eine spezielle Herstellungstechnologie und Drahtdichte unterzubringen, welche von einem Entwurf gefordert werden. Bei dem in den Fig. 1—3 gezeigten Beispiel wird eine herkömmliche Mehrebenen-Keramiksubstrattechnologie verwendet, es könnte jedoch jede äquivalente Technologie ebenfalls verwendet werden. In Fig. 1—Fig. 3 umfaßt jede der Schichten 102A—102J ein isoliertes Keramikmaterial mit einer strukturierten Metallisationsschicht, die auf demselben gebildet ist. Ein Abschnitt jeder Schicht 102A—102D wird entfernt, um einen mehrlagigen Hohlraum zu erzeugen, indem ein Abschnitt der strukturierten Metallisierung auf jeder Schicht 102B—102E an dem Umfang des Hohlraums freigelegt wird. Der freigelegte Abschnitt der Schicht 102E bildet eine Chipbefestigungsoberfläche und ist im wesentlichen von der Massebenenmetallisierung bedeckt, an der die ICs 101 durch leitfähiges Epoxidharz, Lötmedium oder durch eine ähnliche Chipbefestigungstechnologie befestigt werden. Wie es nachfolgend erörtert ist, sind weitere strukturierte Metallisierungsmerkmale auf der Schicht 102E zwischen den ICs 101 gebildet.

Jede der Schichten 102D—102B umfaßt vorzugsweise eine Signalverdrahtung, die digitale oder analoge Datensignale von den ICs zu MCM-Eingabe/Ausgabe-(I/O-; I/O = Input/Output) Anschlußstiften oder Anschlüssen (nicht gezeigt) trägt. Die Schicht 102A ist eine Frontoberfläche, die einen chemischen, mechanischen und elektrischen Schutz für die darunterliegenden Schichten bildet, und die als Befestigungsoberfläche für eine Gehäuseabdeckung 301 (in Fig. 3 gezeigt) dient. Jede verfügbare MCM-Technologie kann verwendet werden, um die gedruckte Verdrahtung auf den Schichten 102B—102D zu bilden, und um die I/O-Anschlußstifte oder -anschlüsse zu bilden, um es zu ermöglichen, daß das MCM 100 mit einer externen Schaltungsanordnung gekoppelt wird. Drahtbond 106 koppeln Bondanschlußflächen, die auf einer Kante jeder IC 101 gebildet sind, und zwar mit ausgewählten Leitern oder Bondanschlußflächen auf den Schichten 102B—102D. Drahtbond 105 koppeln eine Bondanschlußfläche auf eine IC 101 mit einer Bondanschlußfläche auf einer benachbarten IC 101. Ein wichtiges Merkmal der vorliegenden Erfindung besteht darin, daß jede IC 101 mehrere Reihen von Bondanschlußflächen 203 aufweist, und daß Drahtbondverbindungen 105 mit jeder der mehreren Reihen gekoppelt sind. Daher erreicht die vorliegende Erfindung die Vorteile einer Verdrahtung mit höherer Dichte, die durch gestaffelte Bondanschlußflächen 203 sowie durch die Vorteile der direkten Chip-zu-Chip-Drahtbondverbindungen 105 geliefert werden.

Ein Merkmal der vorliegenden Erfindung besteht darin, daß Chip-zu-Substrat-Drahtbondverbindungen verfügbar sind, daß jedoch auf dieselben zugunsten von direkten Chip-zu-Chip-Drahtbondverbindungen 105 lediglich minimal gebaut wird. Dies erlaubt es, daß die Drahtbondichte von dem Zwischenraum, bei dem auch Auf-Chip-Bondanschlußflächen gebildet werden können (sowie durch Drahtbondwerkzeuggesteckungen) diktiert wird. Daher sind die technischen Begrenzungen, die beim Bilden von Bondanschlußflächen 202 auf Sub-

straten oder Anschlußbrahen inhärent sind, keine Begrenzungen für den Drahtbondzwischenraum gemäß der vorliegenden Erfindung.

Ein weiteres Merkmal der vorliegenden Erfindung besteht darin, gestaffelte Bondanschlußflächen auf eine Art und Weise zu verwenden, die die Chip-zu-Chip-Drahtbondverbindungen, welche oben beschrieben wurden, vereinfacht. Obwohl gestaffelte Bondanschlußflächen verwendet worden sind, um die Bondanschlußflächendichte zu erhöhen, wurden sie jedoch nicht in einer dreidimensionalen Drahtbondstruktur verwendet, die die Schleifenhöhen der Drahtbondverbindungen 105 und die Schleifenlängen gemäß der Staffellung der Bondanschlußflächen 203 staffelt. Dieses Merkmal erhöht die Dichte der Drahtbondverbindungen 105 für ein gegebenes Drahtbondwerkzeug, ohne die Zuverlässigkeit zu opfern.

Bei einem speziellen Beispiel wurde ein MCM hergestellt, das zwei Lagen von Aluminiumlegierungsdrahtbondverbindungen zwischen koplanaren Chips hatte, wobei ein effektiver Bondzwischenraum 62,5 Mikrometer betrug. Jeder Chip umfaßte zwei Reihen von Bondanschlußflächen für ein Chip-zu-Chip-Bonden. Jedes MCM umfaßte über 1000 Chip-zu-Chip-Drähte mit einer Fehlerdichte, die besser als 10 Teile pro Million war.

Die vorliegende Erfindung wird bezugnehmend auf ein spezifisches Beispiel unter Verwendung der Ultraschalldrahtbondtechnologie mit einem Drahtbondwerkzeug von Hughes beschrieben. Die Lehren der vorliegenden Erfindung finden bei jedem anderen Drahtbondwerkzeug unter Verwendung eines bekannten Drahtmetalls oder einer bekannten Drahtlegierung Verwendung. Es sei ins Auge gefaßt, daß Verbesserungen der Drahtbondwerkzeuggestaltung die Drahtbondleistung weiter erhöhen wird, wobei diese Werkzeuge ebenfalls in der Lage sein werden, die Vorteile der vorliegenden Erfindung auszunützen. Diese und weitere vorhersagbare Modifikationen der Lehren gemäß der vorliegenden Erfindung sind zu der Vorrichtung und dem Verfahren gemäß der vorliegenden Erfindung äquivalent.

## 2. Dreidimensionale Drahtbondverbindungstrennung

Ein wesentlicher Faktor beim Erfolg und der Zuverlässigkeit jeder Drahtbondtechnologie mit hoher Dichte ist die Trennung zwischen den Drähten. Integrierte Schaltungen arbeiten bei wesentlich erhöhten Temperaturen, die die Drahtbondverbindungen ausbreiten, und die bewirken können, daß zwei Drahtbondverbindungen kurzgeschlossen werden, wenn sie zu nahe aneinander sind. Weitere Faktoren, einschließlich einer physischen Belastung von Stößen, die während der Herstellung, des Tests oder der Verwendung erzeugt werden können, können Drahtbondverbindungen kurzgeschlossen werden, es sei denn, daß eine ausreichende Trennung zwischen den Drähten gegeben ist. Die meisten Drahtbondtechnologien trennen die Drähte in einer Dimension, indem der Zwischenraum der Bondanschlußflächen gesteuert wird, um die Begrenzungen des Drahtbondwerkzeugs zu erfüllen. Eine bekannte Hochdichte-Drahtbondtechnologie trennt die Drahtbondverbindungen in drei Dimensionen unter Verwendung mehrerer Reihen von gestaffelten Bondanschlußflächen, die mit einem mehrlagigen Substrat gekoppelt sind. Wie es vorher dargelegt wurde, sind diese Techniken nicht auf das Chip-zu-Chip-Drahtbonden anwendbar, bei dem beide Chips koplanar sind, wodurch kein Nutzen aus

einem mehrlagigen Substrat gezogen werden kann.

Fig. 2 zeigt einen vergrößerten Abschnitt eines MCM 100 von Fig. 1. Benachbarte ICs 101 sind auf der Befestigungsoberfläche 102E am Boden eines Hohlraums befestigt, der in einem mehrlagigen Substrat gebildet ist. Die Schicht 102D ist gegenüber der Schicht 102E erhöht und umfaßt Bondanschlußflächen 202, die verwendet werden, um auf eine herkömmliche Art und Weise Signale zu einer externen Schaltungsanordnung zu koppeln. Zwischen den Bondanschlußflächen 203 der benachbarten ICs 101 sind drei Lagen einer Verdrahtung durch Drahtbondverbindungen 105 gebildet.

Bei einem bevorzugten Ausführungsbeispiel sind die Bondanschlußflächen 201 auf der Oberfläche der Schicht 102E gebildet, wobei sie durch Durchgangslöcher (Vias) mit Leistungsversorgungsspannungen gekoppelt sind, die auf der strukturierten Metallisierung der Schichten 102F-102J (in Fig. 3 gezeigt) verteilt werden. Weniger oder mehr Leistungsversorgungsspannungen können erforderlich sein, wodurch entsprechend weniger oder mehr Schichten in dem Mehrschichtsubstrat nötig sind. Ebenfalls können die Bondanschlußflächen 201 mit digitalen oder analogen Signalen statt mit Leistungsversorgungsleitungen gekoppelt sein.

Eine erste Lage der Chip-zu-Chip-Drahtbondverbindungen 105 wird durch Verbindungen zwischen ausgewählten Bondanschlußflächen der äußersten Reihe der Bondanschlußflächen 203 mit Bondanschlußflächen 201 auf der Substratschicht 102E gebildet. In Fig. 2 ist jede sechste Bondanschlußfläche 203 mit einer Bondanschlußfläche 201 gekoppelt. Die Anzahl von notwendigen Verbindungen wird von der Anzahl von Leistungsversorgungsspannungen, die von der Schaltungsanordnung der ICs 101 benötigt werden, sowie von der erwünschten Höhe der Leistungsversorgungsintegrität, die von der Schaltungsanordnung auf den ICs benötigt wird, abhängen. Dieser erste Satz von Drahtbondverbindungen 105, der zwischen den Bondanschlußflächen 203 und den Bondanschlußflächen 201 gebildet ist, wird auf eine herkömmliche Art und Weise unter Verwendung verfügbarer Technologien zum Herstellen von Chip-zu-Substrat-Drahtbondverbindungen hergestellt.

Eine zweite Lage von Chip-zu-Chip-Drahtbondverbindungen 105 wird durch Verbindungen zwischen den restlichen der Bondanschlußflächen 203 in der äußersten Reihe mit den Bondanschlußflächen 203 der benachbarten ICs 101 gebildet. Vorzugsweise sind die ICs 101 zueinander ausgerichtet, derart, daß die Bondanschlußflächen (oder "Bondpads") 203 auf jeder IC 101 mit entsprechenden Bondanschlußflächen 203 auf der benachbarten IC 101 ausgerichtet sind. Wünschenswerterweise sind alle Bondanschlußflächen 203 in der äußersten Reihe der IC 203 entweder mit der ersten Lage oder der zweiten Lage der Chip-zu-Chip-Drahtbondverbindungen 105 gekoppelt, wobei es jedoch annehmbar ist, bestimmte Bondanschlußflächen 203 unbefestigt zu lassen, wenn sie nicht verwendet oder benötigt werden, oder wenn sie fehlerhaft sind. Dieser zweite Satz von Drahtbondverbindungen 105 weist eine höhere Schleifenhöhe (d. h. die maximale Höhe des Drahts, wie er die zwei Chips überbrückt) auf, als die erste Lage von Drahtbondverbindungen 105 aufweist. Diese Differenz der Schleifenhöhe wird hauptsächlich dadurch bewirkt, daß jeder Draht der zweiten Lage von Drähten eine längere Länge als ein Draht der ersten Lage von Drahtbondverbindungen 105 aufweist. Da die erste Lage von Drahtbondverbindungen 105 physisch von der zweiten

schenraum der Bondanschlußflächen 203 voneinander beabstandet sind, ist es nicht kritisch, daß die Schleifenhöhe der zweiten Lage wesentlich größer als die der ersten Lage ist.

Eine dritte Lage von Chip-zu-Chip-Drahtbondverbindungen 105 wird durch Verbindungen zwischen den Bondanschlußflächen 203 in der inneren Reihe jeder IC 101 zu Bondanschlußflächen 203, die auf der inneren Reihe der benachbarten IC 101 gebildet sind, gebildet. Vorzugsweise ist die innere Reihe der Bondanschlußflächen 203 auf jeder IC 101 bezüglich der äußeren Reihe der Bondanschlußflächen 203 gestaffelt oder versetzt, was einen gewissen Grad an Beabstandung zwischen den Drahtbondverbindungen 105 der dritten Lage und den Drahtbondverbindungen 105 der ersten und der zweiten Lage ergibt. Um einen weiteren Grad an Beabstandung zu schaffen, wird die Schleifenhöhe der dritten Lage der Chip-zu-Chip-Drahtbondverbindungen 105 höher als entweder die der ersten Lage oder der zweiten Lage der Drahtbondverbindungen 105 eingestellt. Dies ist besonders in Fig. 3 sichtbar, welche die wesentliche Beabstandung zwischen der zweiten Lage von Drahtbondverbindungen 105 von der dritten Lage von Drahtbondverbindungen 105 zeigt.

Gemäß der vorliegenden Erfindung sind die Chip-zu-Chip-Drahtbondverbindungen 105 voneinander in zwei Dimensionen, wie es in Fig. 2 gezeigt sind, und ferner in einer dritten Dimension versetzt, wie es in Fig. 3 gezeigt ist, um eine ausreichende Beabstandung zwischen den Drähten für ein robustes Chip-zu-Chip-Drahtbonden mit hohem Ertrag und hoher Dichte zu ergeben. Unter Verwendung herkömmlicher Drahtbondwerkzeuge können Hunderte von Drahtbondverbindungen auf jeder Seite einer IC 101 mit typischer Größe gebildet werden.

Es sollte offensichtlich sein, daß die vorliegende Erfindung die Beabstandung vorteilhaft ausnützt, die sowohl durch die gestaffelten Bondanschlußflächen 203 als auch durch die gestaffelten Schleifenhöhen der Drahtbondverbindungen 105 geschaffen ist. Jede dieser Techniken kann bei den Chip-zu-Chip-Drahtbondverbindungen allein verwendet werden, und jede schafft durch sich selbst einen bestimmten Grad an Beabstandung zwischen den Drahtbondverbindungen 105, die koplanare Bondanschlußflächen 203 auf benachbarten Chips verbinden. Es wird jedoch davon ausgegangen, daß die beste Technik zum Verwenden der vorliegenden Erfindung darin besteht, sowohl die gestaffelten Bondanschlußflächen 203 als auch die gestaffelten Schleifenhöhen zu kombinieren, statt daß jede Technik für sich allein verwendet wird.

### 3. Mehrebenen-Substrataufbau

Obwohl der Aufbau eines mehrschichtigen Substrats mit Schichten 102A—102E im wesentlichen herkömmlich ist, erlaubt die Verwendung der zwischen-Chip-Bondanschlußflächen 201 (in Fig. 2 gezeigt) die Bildung der ersten Lage von Drahtbondverbindungen 105, die elektrische Leistung und eine Masse oder "Erdung" für die ICs 101 liefern. Da große ICs viele Verbindungen mit Leistungsversorgungen und mit der Masseebene für einen stabilen Betrieb benötigen, ist es notwendig, Leistungs- und Masse-Bondanschlußflächen 201 zwischen benachbarten ICs 101 bereitzustellen, derart, daß auf jede Bondanschlußfläche 201 von zwei ICs 101 zugegriffen werden kann. Wie es in Fig. 3 gezeigt ist, ist jede der

Leistungsversorgungsspannungen verfügbar, die zu der Oberfläche der Schicht 102E zu den Bondanschlußflächen 201 gekoppelt werden können. Die Metallisierung der Schicht 102E ist strukturiert, um Bondanschlußflächen 201 zu schaffen, die über Vias oder Durchgangslöcher mit den darunterliegenden Leistungsversorgungsspannungen auf den Schichten 102F—102J gekoppelt sind. Jede der Schichten 102F—102J kann digitale oder analoge Signale statt dessen oder zusätzlich zu Leistungsversorgungsspannungen tragen. Bei einer spezifischen Implementation wird eine der Schichten 102F—102J verwendet, um Bondanschlußflächen 203 an einem Ende der MCM 100 (d. h. der linken Seite in Fig. 1) mit Bondanschlußflächen 203 an dem gegenüberliegenden Ende der MCM 100 (d. h. der rechten Seite in Fig. 1) zu koppeln. Dieser Verbindungstyp ist besonders bei einem Array einer programmierbaren Logik nützlich, z. B. wenn jede integrierte Schaltung 101 ein FPGA oder eine Schaltung ähnlichen Typs ist.

### 4. Chiplayout

Bei der bevorzugten Implementation sind die ICs 101 im wesentlichen identisch, um die Kosten des MCM 100 zu reduzieren. Jedes MCM 100 weist eine erste Seite auf, die Bondanschlußflächen hat, die eine Kommunikation mit einer externen Schaltungsanordnung über Drahtbondverbindungen 106 unterstützen. Die restlichen drei Seiten jeder IC 101 weisen zwei Reihen von Bondanschlußflächen auf, die Chip-zu-Chip-Drahtbondverbindungen 105 tragen. ICs 101 sind in zwei Reihen beliebiger Länge (oder zwei Spalte beliebiger Länge) angeordnet. ICs 101 sind derart positioniert, daß die erste Seite nach außen gerichtet ist, derart, daß die Drahtbondverbindungen 106 parallel sind und mit Substratschichten 102B—102D auf zwei gegenüberliegenden Seiten des MCM 100 gekoppelt sind. Daher weist jede IC 102 drei Seiten auf, die eine Chip-zu-Chip-Kommunikation unterstützen, weshalb es möglich ist, daß die Chips in einem  $2 \times N$ -Array platziert werden, wobei N irgendeine Anzahl ist, die durch die Substratgröße und die praktischen Kosten sowie durch Herstellungsüberlegungen begrenzt ist.

Dieses bevorzugte Layout der IC 101 resultiert darin, daß zwei gegenüberliegende Seiten der MCM 100 Chip-zu-Chip-Bondanschlußflächen 203 und nicht Bondanschlußflächen, die Drahtbondverbindungen 106 unterstützen, haben. In diesem Fall ist es vorteilhaft, eine oder mehrere Schichten 102B—102J zu haben, um Bondanschlußflächen 203 auf diesen gegenüberliegenden Enden des MCM 100 zu koppeln. Diese Verbindung wird ein "Herumwickeln" genannt und ist optional verfügbar, um Chip-zu-Chip-Verbindungen für nicht-benachbarte ICs 101 zu haben. Auf diese Art und Weise können Chip-zu-Chip-Drahtbondverbindungen 105 verwendet werden, um die Signalleitungen zwischen einer beliebigen Anzahl von ICs 101 zu koppeln. Es sollte offensichtlich sein, daß die spezielle Implementation, die für die vorliegende Erfindung dargestellt ist, lediglich beispielhaft und keine Begrenzung für das Chip-zu-Chip-Drahtbondmerkmal mit hoher Dichte der vorliegenden Erfindung ist.

Da die Chip-zu-Chip-Drahtbondverbindungen 105 gemäß der vorliegenden Erfindung in drei Dimensionen mit variierenden Drahtbondlängen, Schleifenhöhen und Positionen gebildet sind, werden die Drahtbondprozesse wünschenswerterweise in einer nachfolgend be-

schriebenen Reihenfolge ausgeführt. Bei dem bevorzugten Verfahren werden auf jeder Seite jeder IC 101 drei Durchläufe ausgeführt, wobei jedem Durchlauf eine Erhöhung folgt. Durch elektrisches und/oder visuelles Untersuchen der Drahtbondverbindungen an dem Ende jedes Durchlaufs können bestimmte fehlerhafte Drahtbondverbindungen 105 und 106 repariert werden, bevor sie durch eine folgende Schicht einer Verdrahtung bedeckt werden. Da ein einziges MCM gemäß der vorliegenden Erfindung ohne weiteres Tausende von Drahtbondverbindungen 105 und 106 haben kann, wird selbst ein niedriger Hintergrundpegel an Fehlern in bestimmten fehlerhaften Drahtbondverbindungen 105 oder 106 nach der Fertigstellung resultieren.

Vorzugsweise werden Leistungsversorgungs- und Massezuführungsverbindungen durch Substratbondanschlüssen 201 (in Fig. 2 gezeigt), wie es oben beschrieben wurde, geschaffen. Eine erste Ebene von Drahtbondverbindungen wird durch Koppeln ausgewählter Bondanschlüssen 203 jeder IC 101 mit geeigneten Bondanschlüssen 201 auf der Substratschicht 102E gebildet. In den meisten Fällen wird dies bedeuten, daß viele Bondanschlüssen nach dem ersten Durchlauf offengelassen oder nicht verwendet sind. Die Leistungs- und die Massedrahtbondverbindungen haben die kleinste Schleifenhöhe und Schleifenlänge, weshalb sie zuerst hergestellt werden. Ebenfalls können die Leistungs- und Masseverbindungen nach dem ersten Durchlauf elektrisch untersucht werden, um eine Identifikation und eine Reparatur jeder fehlerhaften Drahtbondverbindung zu ermöglichen.

In einem zweiten Durchlauf wird die zweite Lage der Chipzu-Chip-Drahtbondverbindungen 105 mit Schleifenhöhen gebildet, die etwas größer als die der Drahtbondverbindungen 105 der ersten Lage sind, und die durch den Zwischenraum der Bondanschlüssen 203 von den Drahtbondverbindungen der ersten Lage physisch beabstandet sind. Vorzugsweise wird eine visuelle und/oder elektrische Untersuchung nach dem zweiten Durchlauf durchgeführt, obwohl eine elektrische Untersuchung unmöglich sein kann, bis die restlichen Drahtbondverbindungen gebildet sind. Ein dritter Durchlauf wird durchgeführt, um die Drahtbondverbindungen 105 der dritten Lage zu bilden, die eine Schleifenhöhe haben, die größer als die ist, die während des Bildens der zweiten Drahtbondverbindungen oder der ersten Drahtbondverbindungen ist.

Es ist demnach offensichtlich, daß eine Drahtbondchipverbindung mit hoher Dichte für Multichip-Module geschaffen ist, die die Verdrahtungsdichte durch Staffeln von Drahtbondverbindungen in drei Dimensionen zwischen zwei im wesentlichen planaren Oberflächen auf benachbarten ICs erhöht.

#### Patentansprüche

1. Multichip-Modul (100) mit folgenden Merkmalen:

einem Substrat (102) mit einer Chipbefestigungsoberfläche (102E), die auf demselben gebildet ist;  
einer strukturierten Metallisierung (201), die auf der Chipbefestigungsoberfläche (102E) des Substrats (102) gebildet ist, um eine Mehrzahl von Masseleitern und eine Mehrzahl von Leistungsversorgungsleitern zu schaffen;  
einer ersten integrierten Schaltung (101), die auf der strukturierten Metallisierung (102E) der Chipbefestigungsoberfläche befestigt ist;

einer ersten Reihe von Bondanschlüssen (203), die an einem Umfang der ersten integrierten Schaltung (101) gebildet ist;  
einer zweiten Reihe von Bondanschlüssen (203), die an dem Umfang der ersten integrierten Schaltung (101) und innerhalb der ersten Reihe von Bondanschlüssen (203) gebildet ist;  
einer zweiten integrierten Schaltung (101), die auf der Chipbefestigungsoberfläche befestigt ist;  
einer dritten Reihe von Bondanschlüssen (203), die an einem Umfang der zweiten integrierten Schaltung (101) gebildet ist;  
einer vierten Reihe von Bondanschlüssen (203), die an dem Umfang der zweiten integrierten Schaltung (101) und innerhalb der dritten Reihe von Bondanschlüssen gebildet ist;  
einem ersten Satz von Drahtbondverbindungen (105), die die zweite Reihe der Bondanschlüssen (203) mit der vierten Reihe der Bondanschlüssen (203) koppeln;  
einem zweiten Satz von Drahtbondverbindungen (105), die ausgewählte der ersten Reihe von Bondanschlüssen (203) mit ausgewählten der dritten Reihe von Bondanschlüssen (203) koppeln;  
einem dritten Satz von Drahtbondverbindungen (105), der nicht den zweiten Satz von Drahtbondverbindungen aufweist, die ausgewählte der ersten Reihe von Bondanschlüssen (203) mit der strukturierten Metallisierung (201), die auf dem Substrat gebildet ist, koppeln; und  
einem vierten Satz von Drahtbondverbindungen (105), der den zweiten Satz von Drahtbondverbindungen nicht aufweist, die ausgewählte der dritten Reihe von Bondanschlüssen mit der strukturierten Metallisierung (203), die auf dem Substrat gebildet ist, koppeln.

2. Multichip-Modul (100) gemäß Anspruch 1, bei dem die erste, die zweite, die dritte und die vierte Reihe der Bondanschlüssen (203) im wesentlichen koplanar sind.

3. Multichip-Modul (100) gemäß Anspruch 1 oder 2, bei dem der erste Satz von Drahtbondverbindungen (105) eine Schleifenhöhe aufweist, die größer als die des zweiten Satzes von Drahtbondverbindungen (105) ist.

4. Multichip-Modul (100) gemäß einem der vorhergehenden Ansprüche, bei dem der erste Satz von Drahtbondverbindungen (105) eine Schleifenhöhe aufweist, die größer als die sowohl des zweiten Satzes von Drahtbondverbindungen (105) als auch des dritten Satzes von Drahtbondverbindungen (105) ist.

5. Multichip-Modul (100) gemäß einem der vorhergehenden Ansprüche, bei dem die erste Reihe von Bondanschlüssen (203) von der zweiten Reihe von Bondanschlüssen (203) gestaffelt ist, und bei dem die dritte Reihe von Bondanschlüssen (203) von der vierten Reihe von Bondanschlüssen (203) gestaffelt ist.

6. Multichip-Modul mit folgenden Merkmalen:  
einem mehrschichtigen Substrat (102);  
einer strukturierten Metallisierungsschicht, die auf jeder Schicht des Substrats gebildet ist;  
einem mehrlagigen Hohlraum, der in dem Substrat (102) durch Entfernen von Abschnitten von weniger als allen Schichten des mehrschichtigen Substrats (102) gebildet ist, wobei jede Lage einen Ab-



schicht auf einer einzelnen Schicht (102B—102D)  
 des Substrats (102) freilegt;  
 einer Befestigungsoberfläche (102E) für integrierte  
 Schaltungen am Boden des mehrlagigen Hohl- 5  
 raums;  
 einer Mehrzahl von integrierten Schaltungen (101),  
 die auf der IC-Befestigungsoberfläche des Hohl-  
 raums befestigt sind;  
 einem ersten Satz von Drahtbondverbindungen 10  
 (106), die sich von zumindest einer integrierten  
 Schaltung (101) zu den freigelegten Abschnitten  
 (202) der strukturierten Metallisierung von zumin-  
 dest zwei Lagen (102B—102E) des mehrlagigen  
 Hohlraums erstrecken; 15  
 einem zweiten Satz von Drahtbondverbindungen  
 (105), die sich von der zumindest einen integrierten  
 Schaltung (101) zu Bondanschlußflächen (203) einer  
 benachbarten integrierten Schaltung (101) erstrek- 20  
 ken; und  
 einem dritten Satz von Drahtbondverbindungen  
 (105), die sich von der zumindest einen integrierten  
 Schaltung (101) zu Bondanschlußflächen (203) der  
 benachbarten integrierten Schaltung (101) erstrek- 25  
 ken, wobei der dritte Satz von Drahtbondverbindun-  
 gen (105) eine höhere Schleifenhöhe als der  
 zweite Satz von Drahtbondverbindungen (105) hat.  
 7. Multichip-Modul gemäß Anspruch 6, bei dem der  
 erste Satz von Drahtbondverbindungen (106) fol-  
 gende Merkmale aufweist: 30  
 eine erste Drahtbondverbindung, die sich von zu-  
 mindest einer IC (101) zu Bondanschlußflächen  
 (202) erstreckt, die in der strukturierten Metallisie-  
 rung einer ersten Lage (102E) des mehrlagigen  
 Hohlraums freigelegt sind, erstreckt; 35  
 einer zweiten Drahtbondverbindung, die sich von  
 der zumindest einen integrierten Schaltung (101) zu  
 Bondanschlußflächen (202) erstreckt, die in der  
 strukturierten Metallisierung einer zweiten Lage  
 (102D) des mehrlagigen Hohlraums freigelegt sind; 40  
 einer dritten Drahtbondverbindung, die sich von  
 der zumindest einen integrierten Schaltung (101) zu  
 Bondanschlußflächen (202) erstreckt, die in der  
 strukturierten Metallisierung einer dritten Lage  
 (102C) des mehrlagigen Hohlraums freigelegt sind; 45  
 und  
 einer vierten Drahtbondverbindung, die sich von  
 der zumindest einen integrierten Schaltung (101) zu  
 Bondanschlußflächen (202) einer vierten Lage  
 (102B) des mehrlagigen Hohlraums erstreckt. 50  
 8. Multichip-Modul gemäß Anspruch 6 oder 7, bei  
 dem sich der zweite und der dritte Satz von Draht-  
 bondverbindungen (105) auf der gleichen Seite wie  
 die zumindest eine integrierte Schaltung (101) be- 55  
 finden.

---

Hierzu 3 Seite(n) Zeichnungen

---

60

65

FIG. 1

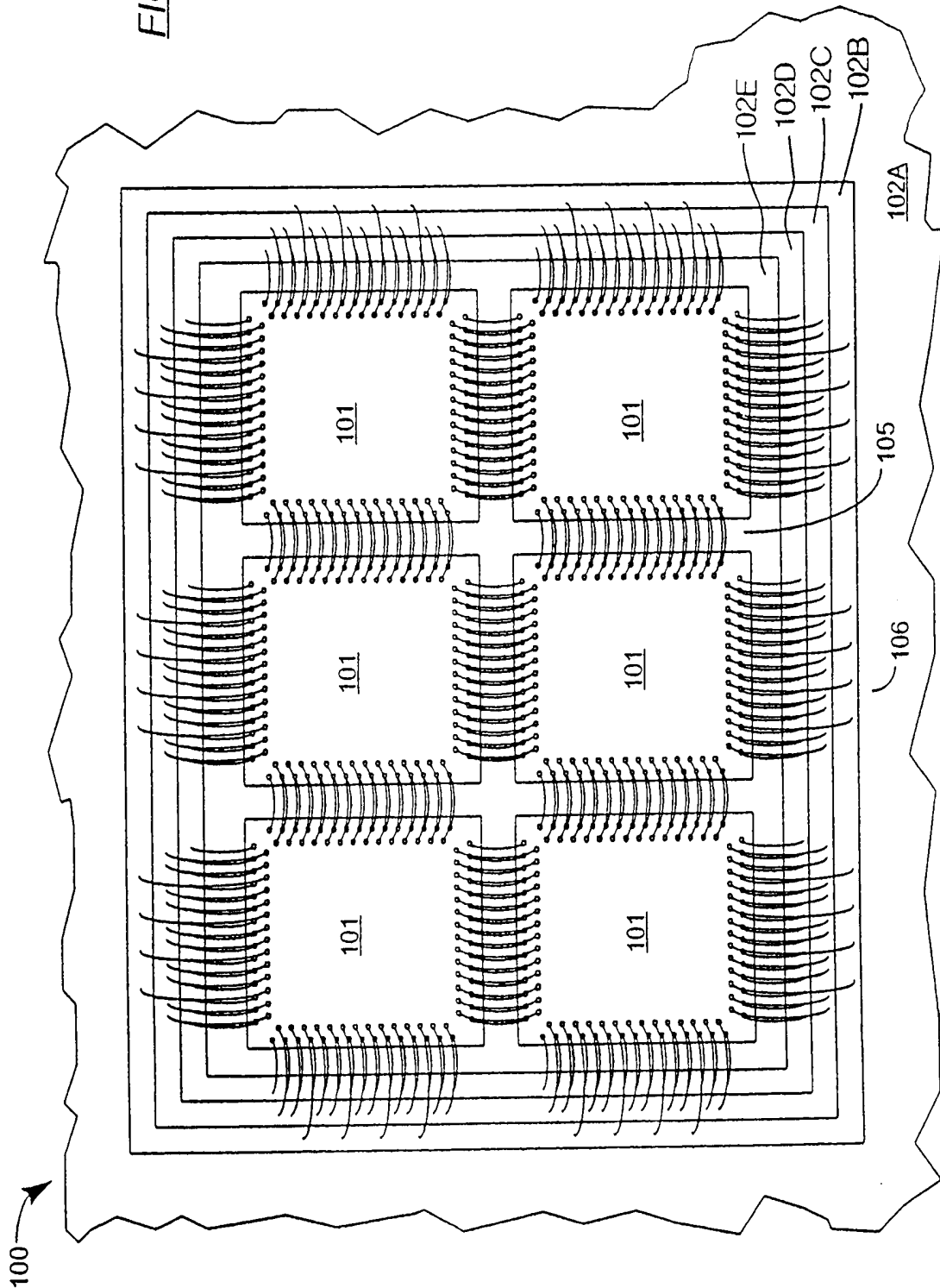
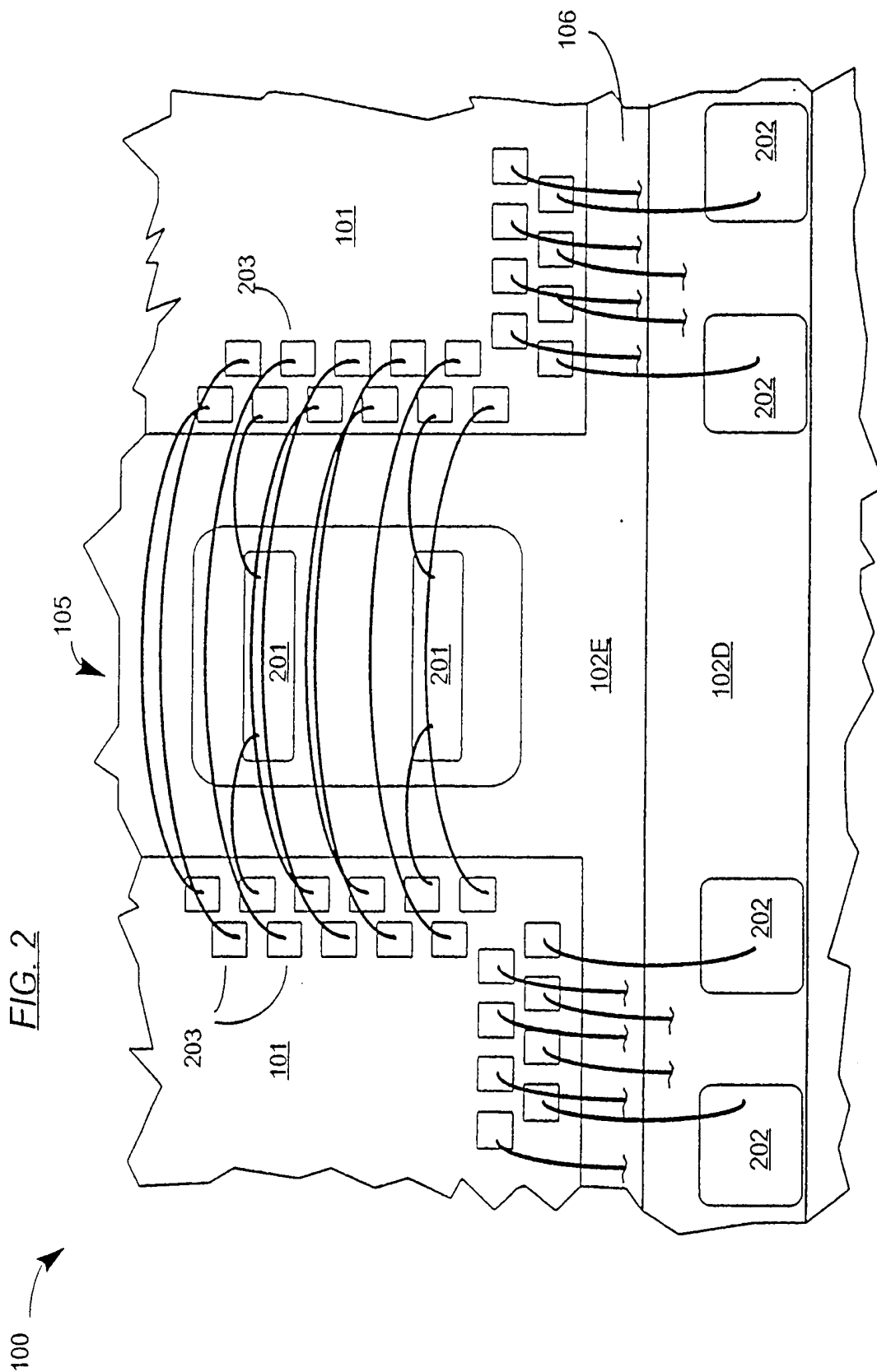


FIG. 2



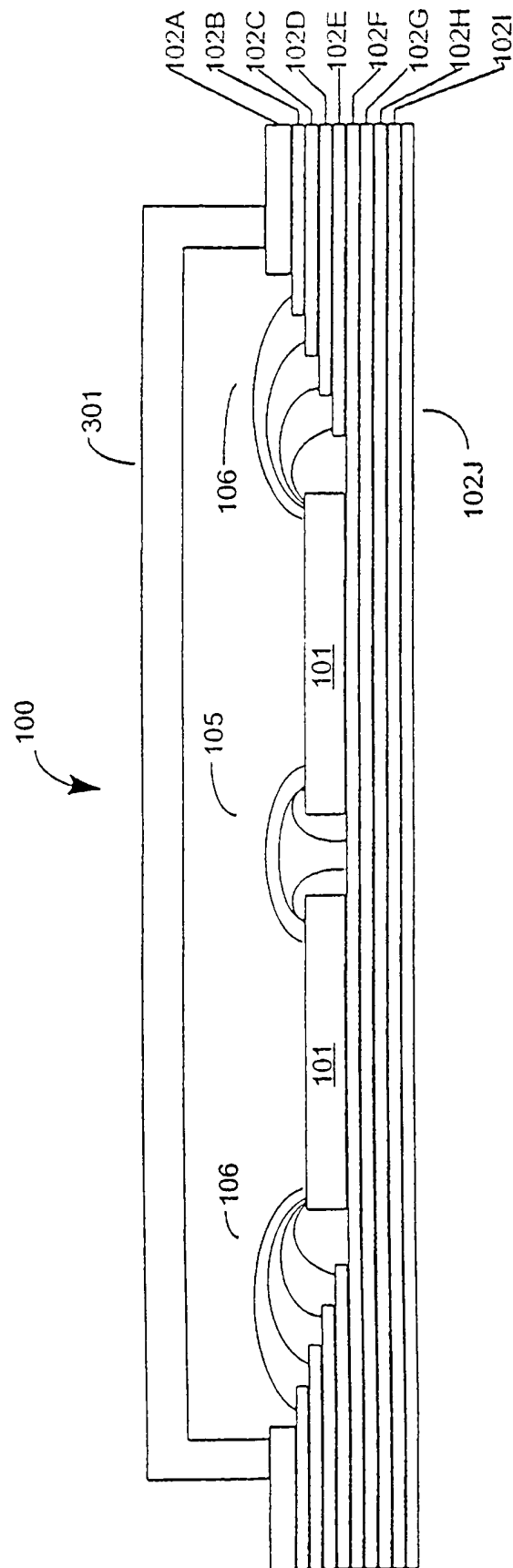


FIG. 3